

基于周期粒度的 级间寄存器备份机制

王 晶^{1,2,3}, 申 娇¹, 丁利华¹, 杨 星¹, 邱柯妮³, 张伟功³

(1. 首都师范大学信息工程学院, 北京 100048;

2. 中国科学院计算技术研究所, 计算机体系结构国家重点实验室, 北京 100190;

3. 首都师范大学电子系统可靠性技术北京市重点实验室, 北京 100048)

摘 要: 单粒子翻转是空间环境下微处理器发生异常的重要诱因之一, 随着集成电路特征尺寸的缩小, 单粒子翻转不仅会引发单位错误, 还会引发大量的多位错误, 如何有效解决处理器所面临的多位故障是容错处理器设计面临的新挑战. 本文提出了一种基于周期粒度的级间寄存器备份机制的容错方法, 采用双流水线冗余结构, 通过比较器对比两条流水线的级间寄存器以检测单粒子故障; 以周期粒度对级间寄存器的内容进行备份, 当检测到单粒子故障时, 使用 2 个周期对流水线进行恢复; 为避免脏数据流出流水线, 在数据缓存和寄存器堆的入口设置写缓冲, 通过延迟写入保证信息可靠性. 本文基于实际的 SPARC V8 结构处理器, 对提出的方法进行了具体实现, 在实验平台上进行了仿真, 仿真结果显示, 本文提出的容错方法能够以一定的面积开销实现对 SEU、SET 和 MBU 故障容错, 加固处理器的主频最高可以提升 70%.

关键词: 单粒子翻转; 多位故障; 容错; 备份; 写缓冲; 流水线加固

中图分类号: TP302.8 **文献标识码:** A **文章编号:** 0372-2112 (2018)10-2486-09

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.10.024

Backup Mechanism of Pipeline Register Based on Cycle Granularity

WANG Jing^{1,2,3}, SHEN Jiao¹, DING Li-hua¹, YANG Xing¹, QIU Ke-ni³, ZHANG Wei-gong³

(1. College of Information Engineering, Capital Normal University, Beijing 100048, China;

2. State Key Laboratory of Computer Architecture, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China;

3. Beijing Key Laboratory of Electronic System Reliability and Prognostics, Beijing 100048, China)

Abstract: SEU is one of the important causes for the microprocessor in which the exception occurs in space environment. SEU not only causes single-bit error, but does lead to a number of multi-bit errors, along with the reduction of the IC feature size. It is a great challenge that we find a way to effectively cope with the multi-bit error. This paper proposes a fault-tolerant method which backs up the pipeline registers based on cycle granularity, the dual modular redundancy is applied in this method. The pipeline registers on the two pipelines are compared through the comparators to detect the error and the pipeline registers are backed up based on cycle granularity. It takes two cycles to restore the error pipeline when the error is detected. The write buffer is set in the entrance to the data cache and register file to avoid dirty data flowing out of the pipeline. And we can ensure the data is correct through delay write. This paper implements the fault-tolerant method based on SPARC V8 processor and tests in the simulation environment. The simulation results shows that the CPU clock speed of the hardened processor in which the proposed fault-tolerant method is applied can increase 70% at most and the fault-tolerance of the SEU, SET and MBU is implemented with the limited area overhead.

Key words: SEU; MBU; fault tolerance; back-up; write-buffer; pipeline hardened

收稿日期: 2017-01-16; 修回日期: 2017-04-18; 责任编辑: 蓝红杰

基金项目: 国防 973 项目; 国家自然科学基金 (No. 61772350, No. 61472260, No. 61741211); 北京市高水平教师队伍建设计划 (No. CIT&TCD201704082, No. CIT&TCD20170322); 体系结构国家重点实验室开放课题 (No. CARCH201607); 北京市科技新星计划 (No. XX2018081); 深圳市科技计划项目 (No. JCYJ20150529164656096, No. JCYJ20170302153955969)

下三步进行检错与恢复,其时序如图 5 所示.

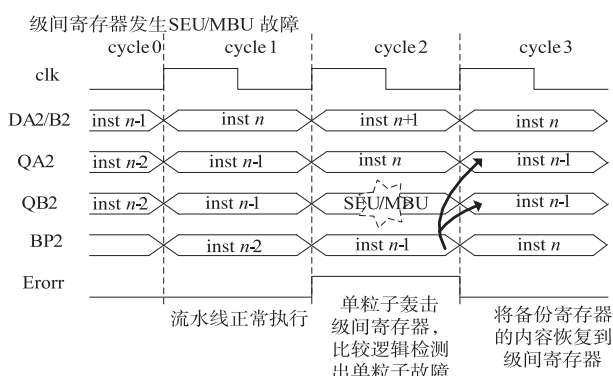


图5 级间寄存器的SEU/MBU故障检测与恢复时序图

第一步:流水线中指令正常执行;

第二步:备份寄存器锁存第一步中的指令,流水线的级间寄存器被单粒子轰击导致 SEU/MBU,通过比较级间寄存器的内容,检测出单粒子故障,流水线被暂停;

第三步:将第二步中备份寄存器锁存的内容更新到流水线级间寄存器,重新执行第一步流水线中的指令.

(2) 功能逻辑发生 SET 故障后,将采用以下三步进行检错与恢复,其时序如图 6 所示.

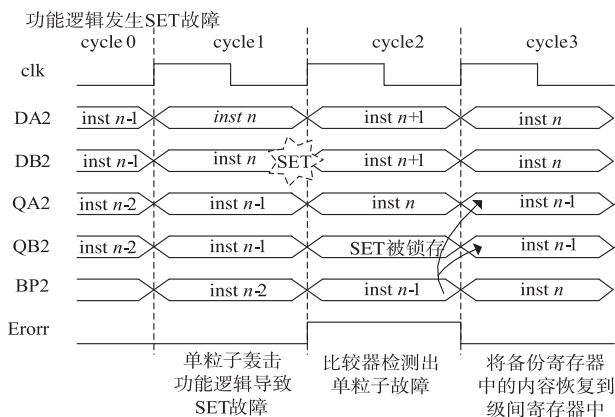


图6 功能逻辑的SET故障检测与恢复时序图

第一步:流水线的功能逻辑被单粒子轰击导致 SET,流水线中指令非正常执行;

第二步:备份寄存器锁存第一步中的指令,SET 被级间寄存器锁存,通过比较级间寄存器的内容,检测出单粒子故障,流水线被暂停;

第三步:将第二步中备份寄存器锁存的内容更新到流水线级间寄存器,重新执行第一步流水线中的指令

2.2 基于写缓冲的容错机制

当发生单粒子故障后,本文提出的故障检测与恢复机制能够控制两条流水线重新执行错误指令,从而

保证流水线单元的数据恢复到正常状态,但寄存器堆和数据缓存可能会被流水线中的脏数据更新.图 5 中 cycle2 的级间寄存器发生 SEU/MBU 故障,cycle3 重复 cycle 1 中的操作,由于 cycle1 中访存和写回段给出更新数据缓存和寄存器堆的值是正确的,只会导致数据的重写,不会发生错误.图 6 中 cycle 1 的功能逻辑发生 SET 故障,在 cycle 2 中才能检测出错误,cycle 1 中访存/写回段给出的脏数据会对数据缓存/寄存器堆进行更新.例如,SET 导致写地址错误,则会将数据写入错误的存储单元,cycle 3 重新执行 cycle 1 中的指令只能将正确的值写入正确的地方,却无法阻止 cycle 1 进行的错误操作.因此,为了保证寄存器堆和数据存储中的值不被流水线单元中的脏数据污染,本文将提出一种基于写缓冲的容错机制.

如图 7 所示,在数据缓存的入口设置一个写缓冲,缓存流水线 A 在访存段给出用于修改数据缓存的信息.在寄存器堆的入口设置两个写缓冲,缓存流水线 A 和流水线 B 在写回段给出用于修改寄存器堆信息.本文提出的检测与恢复机制中,5 个流水级的级间寄存器发生 SEU/MBU 故障,以及前 4 级的功能逻辑发生的 SET 故障,均可以通过比较器检测,但写回段的功能逻辑发生 SET 故障则无法检测.因此,在寄存器堆的入口设置两个写缓冲,将两条流水线的结果都缓存,在下一个周期比较两个写缓冲的内容,既能检测写回段的 SET 故障,又不会对关键路径增加额外的延迟.

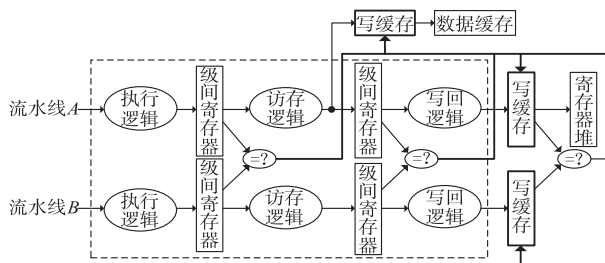


图7 写缓冲容错结构图

基于写缓冲的容错机制的时序图如图 8 所示,图 8 (a) 是流水线级间寄存器发生 SEU/MBU 故障的容错时序图.第 6 个周期,时钟上升沿将写缓冲内容更新到数据缓存/寄存器堆,将第 5 个周期的写信息更新到写缓冲;单粒子轰击 ME 段级间寄存器导致 SEU/MBU 故障,比较器检测出故障,清空写缓冲,则第 5 个周期的写信息被作废.第 7 个周期,时钟上升沿禁止第 6 个周期的写信息更新到写缓冲,将备份寄存器组的内容恢复到两条流水线的级间寄存器,重新执行第 5 个周期的所有操作.第 8 个周期,时钟上升沿将第 7 个周期的写信息更新到写缓冲.第 9 个周期,时钟上升沿将写缓冲的内容更新到数据缓存/寄存器堆.

图8(b)是流水线功能逻辑发生 SET 故障的容错时序图,第 5 个周期,时钟上升沿将写缓冲的内容更新到数据缓存和寄存器堆,同时将第 4 个周期中写信息存储到写缓冲;单粒子轰击流水线的 WR 段级间寄存器导致 SET 故障.第 6 个周期,时钟上升沿将 SET 故障锁存,并将写缓冲的内容更新到数据缓存/寄存器堆,同时将第 5 个周期的写信息存储到写缓冲;比较器检测出故障,清空写缓冲,则第 5 个周期的写信息被作废.第 7 个周期,时钟上升沿禁止第 6 个周期的写信息更新

到写缓冲,将备份寄存器组的内容恢复到两条流水线的级间寄存器,重新执行第 5 个周期的所有操作.第 8 个周期,时钟上升沿将第 7 个周期的写信息更新到写缓冲.第 9 个周期,时钟上升沿将写缓冲的内容更新到数据缓存/寄存器堆.综上所述,基于写缓冲的容错机制通过增加第 6、7 两个周期的时间开销保证了 SEU/MBU 故障不会对数据缓存/寄存器堆进行重复的写操作以及 SET 故障导致的脏数据不会对数据缓存和寄存器堆进行更新.

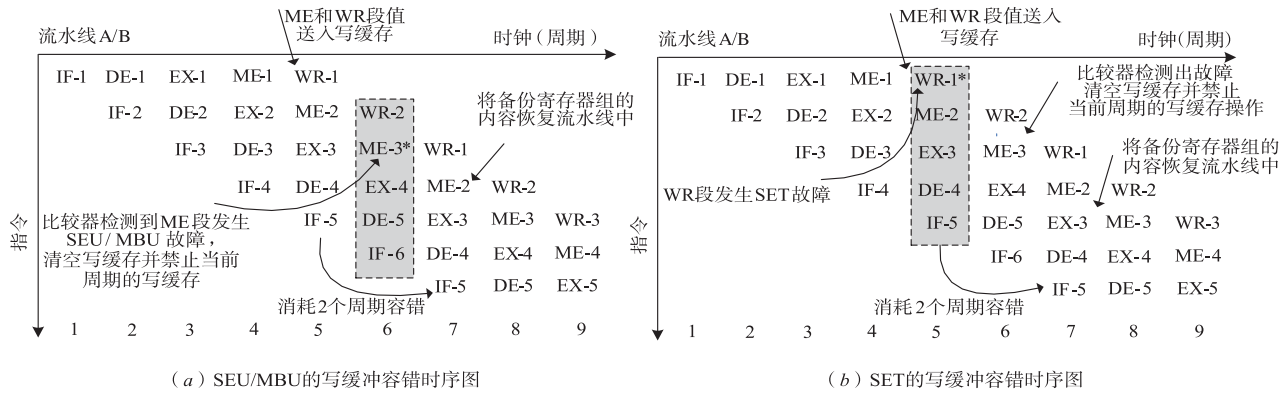


图8 基于写缓冲的容错机制时序图

3 实验

3.1 实验平台

为了评测加固后处理器的容错效果,本文通过软硬件协同仿真的故障注入平台在 RTL 级模拟单粒子故障的效果.实验平台系统框架如图 9 所示,包括调试控制软件,故障注入软件和容错处理器硬件原型三个模块,三者之间的数据通信和调度通过仿真背板完成.

调试控制软件负责编译和配置在目标处理器上运行的软件测试程序,并通过 DSU 串口将信息传输给容错处理器的硬件系统原型.

容错处理器在硬件仿真器中执行,通过带有跟踪缓存的内部调试单元 DSU 接收软件命令并发送执行状态.故障注入软件将注入信息发送给串口驱动程序,各个驱动程序通过仿真背板将软件命令发送给硬件的接口部件 DSU,控制各个部件的执行并实现部件调试.

故障注入软件通过用户界面接收参数配置实现目标信号、注入时间、注入位置、注入位数的四个维度上的随机,从而全方位的覆盖单粒子故障的各种情况.故障生成模块针对硬件信号生成两种故障模型:(1)针对时序逻辑部分,即流水线的级间寄存器,可随机对级间

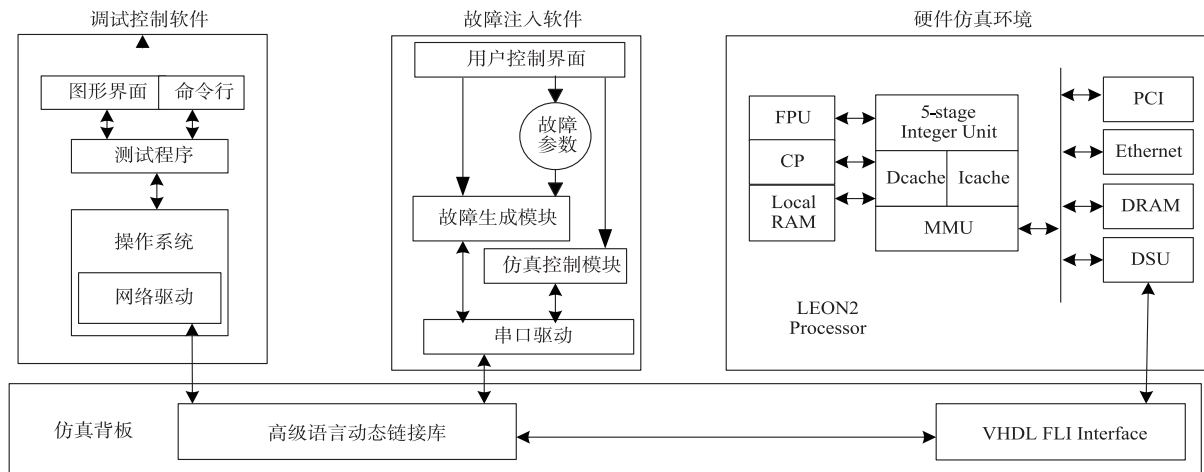


图9 实验平台框图

寄存器中的信息进行 1 位到 4 位的多位翻转,模拟单粒子轰击造成寄存器中的值发生翻转;(2)针对组合逻辑部分,即流水线的功能逻辑单元,可对其信号进行脉冲干扰,并被级间寄存器锁存,模拟单粒子轰击造成组合逻辑信号发生瞬变^[11]。

3.2 测试用例

本文选择四种测试程序用于对处理器容错性能进行评测:

(1)Logic:此算法包含了大量的逻辑运算指令,例如,加减法、与或、移位等指令,用于测试处理器对位操作的能力;

(2)Mul:此程序为整数矩阵的乘法,并将结果存储在特定的存储区域中,用于测试容错方案对于多周期指令的容错效果。

(3)Beq:此算法采用冒泡排序,对跳转类指令和访存类指令进行测试。

(4)CoreMark:它是 EEMBC 组织于 2009 年提出的一套嵌入式系统基准测试程序,用来测试嵌入式系统中心处理单元性能的标准。CoreMark 基准程序由 C 语言编写而成,移植性比较强,适合大部分的微控制器和微处理器。CoreMark 基准程序主要来自常用的应用中一些算法和函数,包含:列表操作、数学矩阵操作、状态机和 CRC^[12,13]。本文统计 CoreMark 程序的运行时间来衡量处理器的容错时间开销。

3.3 实验结果分析

以 LEON2 处理器为基础,采用 DMR、SRDP 和本文提出的以周期粒度对级间寄存器备份(Back-Up)的

容错方法进行加固。为统计容错方案的故障容错方式,通过故障注入平台向运行 Logic、Mul、Beq 和 CoreMark 测试用例的三种容错处理器流水线单元进行 10000 次故障注入。向运行着 Coremark 的三种容错处理器流水线单元分别进行 1000 次、5000 次和 10000 次故障注入,用于统计三种容错方案导致的时间开销。

3.3.1 故障容错方式

图 10 为 DMR、SRDP 和 Back-Up 运行 Logic、Mul、Beq 和 CoreMark 时统计的故障容错方式。在 DMR 和 SRDP 中,由于四种测试程序中各类指令所占的比例不同,容错处理器对单粒子效应的敏感程度虽有差别,但有 65% 左右的故障为哑故障,只有 35% 左右的故障因为影响程序的执行而被检测出来,DMR 通过流水线回退进行容错。SRDP 向 DMR 方案中引入自校验逻辑,实现了故障定位功能。因此,30% 左右的故障被自校验定位,进行流水线替换,5% 左右的故障无法根据自校验进行定位,则进行流水线回退。Back-Up 的比较策略是比较级间寄存器的所有信息,因此单粒子轰击流水线单元,无论故障是否影响流水线的执行都会 100% 被检测出来,利用备份寄存器中的内容对流水线单元进行恢复。通过上述分析,相对于 DMR 和 SRDP 方案,Back-Up 方案对故障的容错方式相对单一,控制逻辑相对简单,但无法忽略哑故障,所有的单粒子故障均需要进行恢复。因此,相比于 DMR 和 SRDP,本文提出的容错方案会导致较大的时间开销。

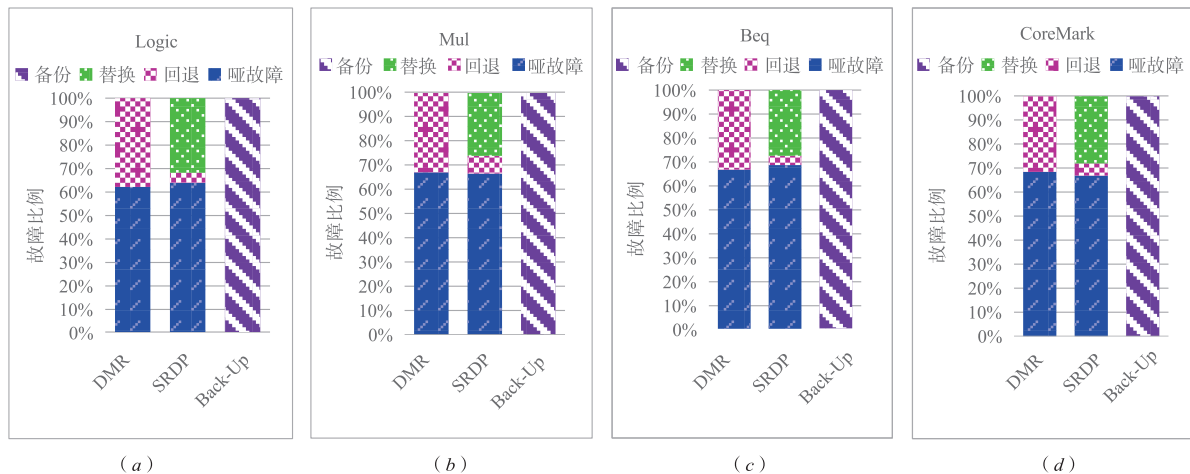


图10 DMR、SRDP、Back-Up方案的故障容错方式图

3.3.2 容错时间开销评测

故障注入平台向运行着 CoreMark 的三种容错处理器分别注入 1000 次、5000 次和 10000 次故障后,统计流水线恢复而消耗的时钟个数。DMR 对检测出来

的故障消耗 5 个周期进行流水线回退。SRDP 通过对定位出的故障消耗 1 个周期进行流水线替换,无法进行定位的故障则消耗 5 个周期对流水线进行回退。Back-Up 对所有的故障均需要消耗 2 个周期进行恢

复. 三种容错方案对流水线恢复消耗的周期个数如图 11 所示, SRDP 容错消耗的周期个数最少, DMR 和 Back-Up 方案消耗的周期个数相当, 是 SRDP 的 4 倍左右, 三种容错方案中 SRDP 容错的时间开销最小. 图 12 是 Coremark 运行的基准时间和三种方案的容错时间开销对比图. 虽然 Back-Up 方案的容错时间开销是三种容错方案中最多的, 但相对于程序运行的基准时间而言, 其容错所导致的时间开销占总时间的 0.016%.

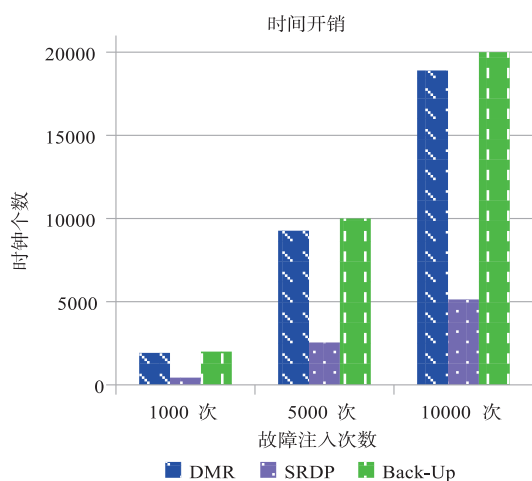


图11 容错时间开销

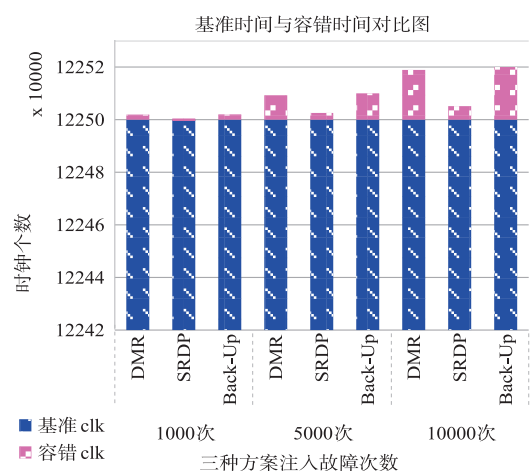


图12 程序运行基准时间与容错时间对比图

3.4 面积和性能开销评测

通过 Xilinx ISE 工具以及 Virtex 5 FPGA 对 LEON2 原型、DMR、SRDP 和 Back-Up 的四种处理器进行综合, 综合结果如表 1 所示. 虽然, SRDP 对单粒子故障容错所导致的时间开销最小, 相对于 LEON2 的原型, SRDP 的最大时钟频率下降了一半, 同时面积开销增加了一倍. Back-Up 相对其他处理器在面积和性能上比较:

表 1 主流容错方案的面积和性能开销

方案	统计结果			
	registers	LUT (4 input)	最大组合 延时 (ns)	时钟周期 (MHz)
LEON2 原型	2661	7226	6.818	146.675
流水线级 DMR	3670	10489	10.354	96.577
SRDP	4609	15335	12.884	77.615
Back-Up (本文方案)	4345	12030	7.563	132.215

本文方案相对 LEON2 原型性能下降:

$$\frac{(146.675 - 132.215)}{146.675} = 9.8\% \quad (1)$$

相对于 LEON2 原型面积增加:

$$\frac{(4345 + 12030) - (2661 + 7226)}{(2661 + 7226)} = 65.6\% \quad (2)$$

相对于 SRDP 性能提升了:

$$\frac{(132.215 - 77.615)}{77.615} = 70.3\% \quad (3)$$

相对于 DMR 性能提升了:

$$\frac{(132.215 - 96.577)}{96.577} = 36.9\% \quad (4)$$

虽然本文的容错方法有较大的面积开销, 但是性能开销较小. 在集成电路的飞速发展的今天, 面积开销不再是容错处理器设计的瓶颈, 性能开销越小意味着处理器的处理能力越强, 对于处理器的意义更大. 因此, 本文提出的容错方案在性能开销方面更具优势.

3.5 SEU 故障概率分析

本文容错机制的实现原型为 LEON2 处理器, 其流水线单元中的级间寄存器共计 601 位, 备份两条流水线后级间寄存器共计 1202 位, 由于备份寄存器发生 SEU 故障不影响处理器的执行, 不对其发生 SEU 的概率进行统计. 流水线单元中各个寄存器发生 SEU 事件概率是均匀分布的, 假设每一个存储单元在单位时间发生单粒子翻转的概率为 P , 那么 n 位的存储单元在单位事件内发生单粒子翻转概率的^[15]:

$$P_n = 1 - (1 - P)^n \quad (5)$$

根据文献, LEO 近地轨道电子系统的 SRAM 单位存储发生 SEU 的概率约为 (位/天). 根据公式 5 计算未加固的流水线单元发生 SEU 故障的概率:

$$P_{LEON2} = 1 - (1 - 10^{-7})^{601} \approx 0.00006 \quad (6)$$

本文容错机制加固后的流水线单元发生 SEU 故障的概率:

$$P_{备份} = 1 - (1 - 10^{-7})^{1202} \approx 0.00012 \quad (7)$$

虽然, 本文的容错机制向流水线单元引入了 SEU

敏感单元,使得流水线单元发生 SEU 的概率增加一倍,但通过向本文的容错机制加固后的处理器进行大规模的故障注入实验,实验结果表明,本文提出的容错机制能够对 SEU 故障实现 100% 检错与容错.

4 结论

随着集成电路特征尺寸不断缩小,单粒子引发的 MBU 成为影响空间微处理器可靠性的主要原因.本文提出的基于周期粒度的级间寄存器备份机制以双冗余流水线为基础,两条流水线通过比较级间寄存器的内容检测单粒子故障;以周期粒度备份级间寄存器内容,对发生单粒子故障的流水线单元进行恢复;写缓冲的容错机制阻止单粒子故障导致的脏数据流出流水线单元.实验表明,与 LEON2 原型相比,本文提出的方案以 66% 面积开销和 9.8% 的性能开销实现对单粒子故障进行容错,与 DMR 和 SRDP 相比,在处理器性能上提升 36.9% 和 70.3%.

参考文献

- [1] El-Sayed. N, Schroeder. B. Reading between the lines of failure logs: Understanding how HPC systems fail [A]. 343rd Annual IEEE/IFIP International Conference on Dependable Systems and Networks[C]. IEEE, 2013. 1 – 12.
- [2] Dan Ernst, Nam Sung Kim, et al. Razor: A low-power pipeline based on circuit-level timing speculation [A]. IEEE Micro[C]. IEEE, 2003. 1 – 9.
- [3] N. Wand and S. Patel. Restore: Symptom-based soft error detection in microprocessors [J]. IEEE Trans Dependable Secure Comput, 2006, 3(3): 188 – 201.
- [4] Cristian Constantinescu. Trends and Challenges in VLSI Circuit Reliability [J]. IEEE Micro, 2003, 23(4): 14 – 19.
- [5] 毛南, 黄岚, 王忠义, 刘志存. 实时嵌入式容错系统的关键技术研究 [J]. 计算机工程与设计, 2007, 28(14): 3433 – 3435.
Mao Nan, Huang Lan, Wang Zhong-yi, Liu Zhi-cun. Key techniques for fault-tolerant real-time embedded system [J]. Computer Engineering and Design, 2007, 28(14): 3433 – 3435. (in Chinese)
- [6] L Spainhower, T A. Gregg. IBM S/390 parallel enterprise server G5 fault tolerance: A historical perspective [J]. IBM Journal of Research and Development, 1999, 43(5/6): 863 – 873.
- [7] P Meaney, S Swaney, et al. IBM z990 Soft error detection and recovery [J]. IEEE Tran on Device and Materials Reliability, 2005, 5(3): 419 – 427.
- [8] Todd M Austin. DIVA: A reliable substrate for deep submicron microarchitecture design [A]. 32nd International Symposium on Microarchitecture [C]. IEEE, 1999. 1 – 12.
- [9] Wang Jing, Yang Xing, Zhao Yuanfu, Zhang Weigong, Shen Jiao and Qiu Keni. Multi-bits error detection and fast recovery in RISC core [J]. Journal of Emiconductors, 2016, 36(11): 115009(1 – 8).
- [10] Gaisler Research. The LEON2 Processor User's Manual [R]. 2004 – 05.
- [11] 于航, 王晶, 周继芹, 等. 面向单粒子翻转效应的模拟故障注入技术 [J]. 计算机工程与设计, 2016, 37(1): 107 – 111.
Yu Hang, Wang Jing, Zhou Ji-qin, et al. Simulation fault injection technology for single event upset [J]. Computer Engineering and Design, 2016, 37(1): 107 – 111. (in Chinese)
- [12] EEMBC CoreMark Benchmark [OL]. <https://www.eembc.org/coremark/>, 2018 – 08 – 04.
- [13] 王芳良, 张伟功, 于立新. 基准集在嵌入式系统性能分析中的应用 [J]. 计算机工程与设计, 2015(1): 115 – 119.
Wang Fang-liang, Zhang Wei-gong, Yu Li-xin. Applications of benchmark in embedded system performance analysis [J]. Computer Engineering and Design, 2015(1): 115 – 119. (in Chinese)
- [14] S Das, C Tokunaga, et al. RazorII: In situ error detection and correction for pvt and ser tolerance [J]. IEEE Journal of Solid-State Circuits, 2009, 44(1): 32 – 48.
- [15] 郝亚男, 高欣, 许仕龙. SRAM 型 FPGA 的 SEU 容错技术研究 [J]. 中国集成电路, 2015, 10(197): 31 – 36.
Hao Ya-nan, Gao Xin, Xu Shi-long. Study on the SEU-tolerant techniques for SRAM-based FPGAs [J]. China Integrated Circuit, 2015, 10(197): 31 – 36. (in Chinese)
- [16] 陈志辉, 章淳, 王颖, 王伶俐. 一种 FPGA 抗辐射工艺映射方法研究 [J]. 电子学报, 2011, 39(11): 2507 – 2511.
Chen Zhi-hui, Zhang Chun, Wang Ying, Wang Ling-li. An FPGA robust technology mapping method [J]. Acta Electronica Sinica, 2011, 39(11): 2507 – 2511. (in Chinese)
- [17] 徐建军, 谭庆平, 熊磊, 叶俊. 一种针对软错误的程序可靠性定量分析方法 [J]. 电子学报, 2011, 39(3): 675 – 679.
Xu Jian-jun, Tan Qing-ping, Xiong Lei, Ye Jun. A quantitative approach for program reliability analysis of soft errors [J]. Acta Electronica Sinica, 2011, 39(3): 675 – 679. (in Chinese)
- [18] WANG Yongqing, MA Yuanxing, LIU Donglei, WU Siliang. An seu-tolerant approach for space-borne viterbi decoders [J]. Chinese Journal of Electronics, 2014, 24(3): 857 – 861.

作者简介



王 晶 女,1982 年生于黑龙江哈尔滨,首都师范大学副教授. 研究兴趣包括计算机系统结构、容错计算、高效计算.



申 娇 女,1991 年生于湖北钟祥,硕士研究生,研究方向为计算机体系结构.



张伟功(通信作者) 男,1967 年生于山西临猗,首都师范大学信息工程学院研究员、博士生导师. 研究方向为高可靠嵌入式计算机体系结构与应用技术.

E-mail: zwg771@cnu.edu.cn